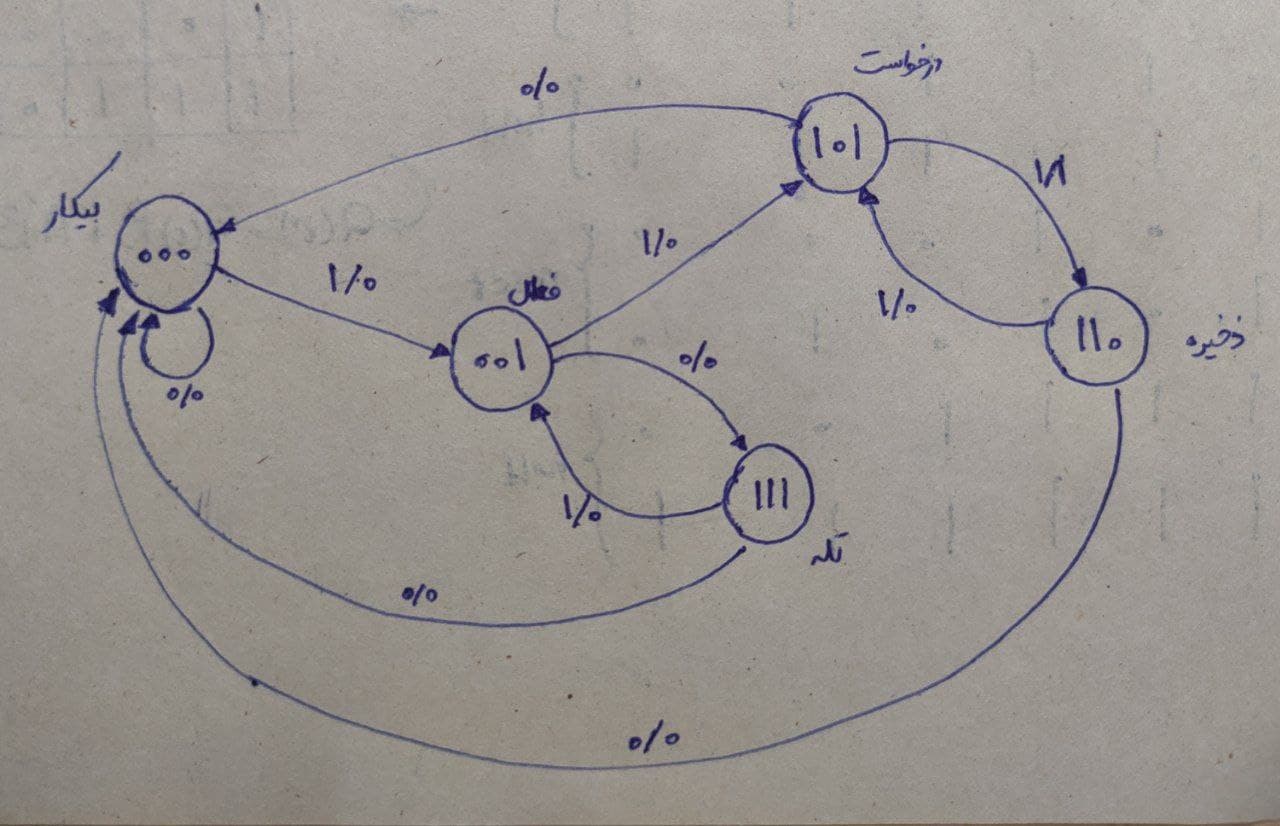
**اشکان شکیبا (9931030)**

**پیش گزارش آزمایش دهم آزمایشگاه مدار های منطقی**

دیاگرام حالت:



کد وریلاگ:

module register\_4bit(Din,Clock,Enable,Dout);

input [0:3] Din;

input Clock,Enable;

output [0:3] Dout;

reg [0:3] Din;

always @(posedge Clock)

if (Enable == 1) Dff(Dout[0],Din[0],Clock,0);

Dff(Dout[1],Din[1],Clock,0);

Dff(Dout[2],Din[2],Clock,0);

Dff(Dout[3],Din[3],Clock,0);

endmodule

module DFF (Q,D,CLK,RST);

output Q;

input D,CLK,RST;

reg Q;

always @(posedge CLK or negedge RST)

if (RST == 0) Q = 1'b0;

else Q = D;

endmodule